

대한민국 특허청

KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 특허출원 2002년 제 48981 호
Application Number PATENT-2002-0048981

출원년월일 : 2002년 08월 19일
Date of Application AUG 19, 2002

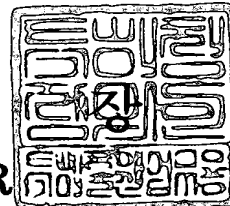
출원인 : 삼성전자 주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2002 년 09 월 11 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0004
【제출일자】	2002.08.19
【발명의 명칭】	불휘발성 메모리 장치의 게이트 형성방법
【발명의 영문명칭】	Method of forming gate of non-volatile memory device
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	박영우
【대리인코드】	9-1998-000230-2
【포괄위임등록번호】	1999-030203-7
【발명자】	
【성명의 국문표기】	김봉현
【성명의 영문표기】	KIM, Bong Hyun
【주민등록번호】	660917-1473621
【우편번호】	403-020
【주소】	인천광역시 부평구 산곡동 311-126 현대아파트 206-403
【국적】	KR
【발명자】	
【성명의 국문표기】	이현덕
【성명의 영문표기】	LEE, Hyeon Deok
【주민등록번호】	610307-1024611
【우편번호】	135-240
【주소】	서울특별시 강남구 개포동 653번지 현대아파트 104-603
【국적】	KR
【발명자】	
【성명의 국문표기】	형용우
【성명의 영문표기】	HYUNG, Yong Woo
【주민등록번호】	620612-1531018

【우편번호】	449-764
【주소】	경기도 용인시 수지읍 삼성5차아파트 523-1605
【국적】	KR
【발명자】	
【성명의 국문표기】	임헌형
【성명의 영문표기】	LIM, Hun Hyeoung
【주민등록번호】	650223-1453015
【우편번호】	449-904
【주소】	경기도 용인시 기흥읍 보라리 450번지 신갈삼성아파트 102-202
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박영우 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	5 면 5,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	14 항 557,000 원
【합계】	591,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

불휘발성 메모리 장치의 게이트 형성방법이 개시되어 있다. 반도체 기판 상에 터널 산화막을 형성한다. 상기 터널 산화막 상에 플로팅 게이트층을 형성한다. 상기 플로팅 게이트층 상에 층간 절연막을 형성한다. 상기 층간 절연막 상에 인-시튜 도프트 실리콘을 증착하여 컨트롤 게이트층을 형성한 후, 열처리를 실시한다. 사진식각 공정으로 상기 컨트롤 게이트층, 층간 절연막 및 플로팅 게이트층을 패터닝한다. 후속의 게이트 산화 공정시 컨트롤 게이트 실리콘층의 상 변환이 일어나지 않아 ONO막의 두께 편차가 감소됨으로써, 내구성 및 베이크 보존 특성이 개선된다.

【대표도】

도 2c

【명세서】

【발명의 명칭】

불휘발성 메모리 장치의 게이트 형성방법{Method of forming gate of non-volatile memory device}

【도면의 간단한 설명】

도 1a 및 도 1b는 종래 방법들에 의해 제조된 불휘발성 메모리 장치의 베이크 보존 특성을 도시한 그래프들이다.

도 2a 내지 도 2c는 본 발명의 일 실시예에 의한 불휘발성 메모리 장치의 게이트 형성방법을 설명하기 위한 단면도이다.

도 3은 컨트롤 게이트의 형성 방법들에 따른 캐패시턴스 값을 비교하여 나타낸 그래프이다.

도 4a 및 도 4b는 종래 방법 (1) 및 본 발명에 의해 각각 제조된 불휘발성 메모리 장치의 베이크 보존 특성을 나타낸 그래프들이다.

도 5a 및 도 5b는 종래 방법 (1) 및 본 발명에 의해 각각 제조된 불휘발성 메모리 장치의 내구성 특성을 나타낸 그래프들이다.

도 6은 후속 열처리에 따른 텅스텐 실리사이드 박막의 비저항을 비교하여 나타낸 그래프이다.

<도면의 주요 부분에 대한 부호의 설명>

100 : 반도체 기판 102 : 터널 산화막

104 : 제1 실리콘층 104a : 플로팅 게이트

106 : ONO막 108 : 제2 실리콘층

110 : 금속 실리사이드층 115 : 컨트롤 게이트

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<12> 본 발명은 반도체 장치의 제조방법에 관한 것으로, 보다 상세하게는 불휘발성 메모리 장치의 게이트 형성방법에 관한 것이다.

<13> 반도체 메모리 장치는 DRAM(dynamic random access memory) 및 SRAM(static random access memory)과 같이 시간이 지남에 따라 데이터를 잃어버리는 휘발성(volatile)이면서 데이터의 입·출력이 빠른 RAM 제품과, 한번 데이터를 입력하면 그 상태를 유지할 수 있지만 데이터의 입·출력이 느린 ROM(read only memory) 제품으로 크게 구분할 수 있다.

<14> 불휘발성 메모리 장치는 거의 무기한의 축적용량을 갖는데, EEPROM(electrically erasable and programmable ROM)과 같이 전기적으로 데이터의 입·출력이 가능한 플래시 메모리에 대한 수요가 늘고 있다. 이들 장치의 메모리 셀은 일반적으로 실리콘 기판 상에 형성된 플로팅 게이트를 구비하는 수직 적층형 게이트 구조를 갖는다. 다층 게이트 구조는 전형적으로 하나 이상의 터널 산화막 또는 층간 절연막과, 상기 플로팅 게이트의 위 또는 주변에 형성된 컨트롤 게이트를 포함한다. 이 구조를 갖는 플래시 메모리 셀의 프로그램은 드레인 측에 채널 열 전자(channel hot electron)를 형성시켜 상기 전자를 플로팅 게이트에 축적함으로써 셀 트랜지스터의 문턱전압을 증가시키는 동작이다. 반면

에, 메모리 셀의 소거 동작은 기판과 플로팅 게이트 간에 고전압을 발생시켜 플로팅 게이트에 축적된 전자를 방출함으로써 셀 트랜지스터의 문턱전압을 낮추는 것이다.

<15> 플로팅 게이트는 데이터의 프로그램 및 소거시 터널 산화막의 전하 특성에 중요한 역할을 하며 터널링 소오스로 제공되며, 통상 도핑된 폴리실리콘으로 형성한다.

<16> 충전 절연막은 플로팅 게이트 내에 저장된 전하를 보존하는 역할을 하며, 통상 하부 산화막/질화막/상부 산화막이 적층된 ONO막으로 형성한다.

<17> 컨트롤 게이트는 데이터의 프로그램 및 소거시 기판의 전자들을 플로팅 게이트로 이동시키거나 상기 플로팅 게이트 내의 전자들을 기판으로 이동시키기 위하여 전압이 인가되는 층으로서, 저항을 낮추기 위하여 폴리실리콘과 금속 실리사이드가 적층된 폴리사이드 구조로 형성한다.

<18> 통상적으로 컨트롤 게이트로 사용되는 폴리실리콘막은 약 620℃의 온도에서 결정상으로 증착된 후 POCl_3 확산이나 이온주입에 의해 고농도의 N형 불순물로 도핑된다. 그러나, POCl_3 확산을 $1\text{E}21/\text{cm}^3$ 의 고농도로 진행할 경우, 폴리실리콘막이 약 850℃ 이상의 고온에서 장시간 도핑 공정을 겪기 때문에 폴리실리콘층의 모폴로지가 불량해지는 문제가 있다. 이와 반대로, POCl_3 확산을 $1\text{E}19 \sim 1\text{E}20/\text{cm}^3$ 의 저농도로 진행할 경우에는 폴리실리콘층 내의 공핍층(depletion layer)이 증가하여 프로그램 속도가 저하된다. 또한, 폴리실리콘막의 그레인들이 다양한 크기로 형성되어 ONO막

의 측벽 손상을 큐어링하기 위한 후속의 게이트 산화공정시 ONO막의 중앙부까지 버즈비크가 형성됨으로써, 다음의 표 1에 나타낸 바와 같이 ONO막의 두께 편차(variation)가 심하게 나타나 내구성(endurance) 및 베이킹 보존(bake retention) 특성이 저하되는 문제가 발생한다. 여기서, 내구성이란 데이터의 프로그램 및 소거 동작을 반복하면서 셀 트랜지스터의 문턱전압(threshold voltage; V_{th}) 변동을 측정하는 것이며, 베이킹 보존 특성은 약 250℃의 온도에서 베이킹한 후 셀 트랜지스터의 V_{th} 변동을 측정하는 것이다.

<19> 【표 1】

	좌측 두께	중앙 두께	우측 두께	편차
상부 산화막	78Å	48Å	64Å	30Å
절화막	41Å	48Å	46Å	7Å
하부 산화막	55Å	53Å	70Å	17Å

<20> 상기 [표 1]로부터 알 수 있듯이, 언도프트 폴리실리콘 증착 및 POCl_3 도핑으로 형성된 컨트롤 게이트 폴리실리콘막과 ONO막 간의 계면에서 버즈비크가 심화되므로, 컨트롤 게이트 폴리실리콘막과 맞닿아 있는 상부 산화막의 두께 차이가 크게 나타난다.

<21> 이러한 문제점을 해결하기 위하여 도핑 레벨을 용이하게 조절할 수 있는 인-시튜 도프트 폴리실리콘(in-situ doped polysilicon)으로 컨트롤 게이트를 형성하는 방법이 제안되었다.

<22> 상기 방법에 대한 예들은 대한민국 공개 특허 2001-8614호, 대한민국 공개 특허 2001-4262 및 일본국 공개 특허 2001-53171호에 개시되어 있다. 특히, 상기 대한민국 공개 특허 2001-8614호에 의하면, 상기 인시튜 도프트 폴리실리콘으로 컨트롤 게이트를 형성할 때 게이트 패터닝을 수행한 이후에 열처리를 수행하는 방법이 개시되어 있다.

<23> 상기 인-시튜 도프트 폴리실리콘으로 컨트롤 게이트를 형성하면 폴리실리콘막의 공핍층이 6Å 정도 억제되어 프로그램 속도가 개선된다. 그러나, 인-시튜 도프트 폴리실리콘막은 초기에 비정질상으로 증착되고, 게이트 패터닝 후 실시하는 게이트 산화공정 동안 결정상으로 상 변환(phase transformation)된다. 따라서, 게이트 산화공정시 인-시튜 도프트 폴리실리콘막의 상 변환이 일어나 버즈비크에 의한 ONO막의 두께 편차가 심하게 나타나 셀 특성의 산포가 커지고, ONO막의 신뢰성이 열화되어 내구성 및 베이크 보존 특성이 저하된다.

<24> 도 1a는 언도프트 폴리실리콘을 증착한 후 POCl_3 도핑을 실시한 종래 방법 (1)에 의한 베이크 보존 특성을 나타낸 것이고, 도 1b는 인-시튜 도프트 폴리실리콘으로 컨트롤 게이트를 형성하는 종래 방법 (2)에 의한 베이크 보존 특성을 나타낸다. 상기 그래프들에서, ◆는 프로그램/소거 동작을 1회 실시한 경우를 나타내고, ■는 프로그램/소거 동작을 10000번 반복한 경우를 나타내며, ▲는 베이크 후를 나타낸다. 수평 축은 프로그램 문턱전압(V_{th})을 나타내고, 수직 축은 불량 비트 수를 나타낸다.

<25> 도 1a 및 도 1b를 참조하면, 비정질상의 실리콘 결합이 결정상의 실리콘 결합에 비해 불안정하여 쉽게 산화되기 때문에 종래 방법 (2)의 경우, 게이트 패터닝 후 실시하는 게이트 산화공정에 의한 ONO막의 두께 편차가 심하게 발생한다. 따라서, 종래 방법 (1)에 비해 종래 방법 (2)의 프로그램 문턱전압의 산포 및 베이크 후 변동 폭이 크게 나타났다.

<26> 즉, 인-시튜 도프트 폴리실리콘으로 컨트롤 게이트를 형성할 경우, 폴리실리콘막의 공핍층이 억제되어 프로그램 속도를 증가시킬 수 있는 반면, ONO막의 신뢰성 열화에 따른 내구성 및 베이크 보존 특성이 저하됨을 알 수 있다.

【발명이 이루고자 하는 기술적 과제】

<27> 따라서, 본 발명의 목적은 도핑 레벨을 조절하여 공핍층을 억제하고 내구성 및 베이크 보존 특성을 향상시킬 수 있는 불휘발성 메모리 장치의 게이트 형성방법을 제공하는데 있다.

【발명의 구성 및 작용】

<28> 상술한 목적을 달성하기 위하여 본 발명은, 반도체 기판 상에 터널 산화막을 형성하는 단계; 상기 터널 산화막 상에 플로팅 게이트층을 형성하는 단계; 상기 플로팅 게이트층 상에 층간 절연막을 형성하는 단계; 상기 층간 절연막 상에 인-시튜 도프트 실리콘을 증착하여 컨트롤 게이트층을 형성하는 단계; 상기 컨트롤 게이트층을 열처리하는 단계; 및 사진식각 공정으로 상기 컨트롤 게이트층, 층간 절연막 및 플로팅 게이트층을 패터닝하는 단계를 구비하는 것을 특징으로 하는 불휘발성 메모리 장치의 게이트 형성방법을 제공한다.

<29> 또한, 본 발명의 상술한 목적은 반도체 기판 상에 터널 산화막을 형성하는 단계; 상기 터널 산화막 상에 플로팅 게이트층으로 제1 폴리실리콘층을 형성하는 단계; 상기 제1 폴리실리콘층 상에 층간 절연막으로 ONO막을 형성하는 단계; 상기 ONO막 상에 컨트롤 게이트층으로 인-시튜 도프트 제2 폴리실리콘층을 형성하는 단계; 상기 제2 폴리실리콘층 상에 금속 실리사이드층을 형성하는 단계; 상기 결과물 상에 열처리를 실시하는 단계; 및 사진식각 공정으로 상기 금속 실리사이드층, 제2 폴리실리콘층, 층간 절연막 및 제1 폴리실리콘층을 패터닝하는 단계를 구비하는 것을 특징으로 하는 불휘발성 메모리 장치의 게이트 형성방법에 의해 달성될 수도 있다.

- <30> 본 발명에 의하면, 인-시튜 도프트 실리콘막을 증착한 후 열처리를 실시하여 컨트를 게이트층을 형성한다. 따라서, 도핑 레벨을 쉽게 조절하여 실리콘막의 공핍층을 억제함으로써 프로그램 속도를 증가시킬 수 있다.
- <31> 또한, 초기에 비정질상으로 증착되는 인-시튜 도프트 실리콘막을 열처리에 의해 결정상으로 상 변환시킨 후 게이트 패터닝 및 게이트 산화공정을 진행하기 때문에, 게이트 산화공정시 실리콘막의 상 변환이 일어나지 않아 ONO막의 두께 편차가 감소된다. 따라서, ONO막의 신뢰성을 향상시키고 내구성 및 베이크 보존 특성을 개선할 수 있다.
- <32> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하고자 한다.
- <33> 도 2a 내지 도 2c는 본 발명에 의한 불휘발성 메모리 장치의 게이트 형성방법을 설명하기 위한 단면도이다.
- <34> 도 2a를 참조하면, 셀로우 트렌치 소자분리(shallow trench isolation; STI)와 같은 소자분리 공정을 통해 반도체 기판(100)을 액티브 영역과 필드 영역으로 구분한다. 구체적으로, 반도체 기판(100)을 소정 깊이로 식각하여 트렌치를 형성한 후, 상기 트렌치를 채우도록 화학 기상 증착(chemical vapor deposition; CVD) 방법에 의해 산화막을 증착한다. 다음에, 상기 CVD-산화막을 에치백(etch back) 또는 화학 기계적 연마(chemical mechanical polishing; CMP) 방법으로 식각하여 상기 트렌치의 내부에만 필드 산화막을 형성한다.
- <35> 또한, 상기 필드 영역은 통상의 실리콘 부분 산화(Local oxidation of silicon; LOCOS) 공정으로 형성할 수도 있고, 플로팅 게이트와 액티브 영역을 동시에 형성하는 자

기정렬된 셀로우 트렌치 소자분리(self-aligned shallow trench isolation; SA-STI) 공정으로 형성할 수도 있다.

- <36> 이어서, 상기 기판(100) 상에 열산화 공정으로 터널 산화막(즉, 게이트 산화막)(102)을 형성한다. 상기 터널 산화막(102)은 실리콘 산화막 또는 실리콘 옥시나이트라이드막으로 형성한다.
- <37> 상기 터널 산화막(102)이 형성된 결과물 상에 플로팅 게이트층으로, 제1 실리콘층(104)을 약 1000~1500Å의 두께로 증착한다. 바람직하게는, 상기 제1 실리콘층(104)은 폴리실리콘 또는 비정질실리콘으로 형성한다. 이어서, 통상의 도핑 방법, 예컨대 POCl_3 확산, 이온주입, 또는 인-시튜 도핑에 의해 상기 제1 실리콘층(104)을 고농도의 N형으로 도핑시킨 후, 사진식각 공정으로 필드 영역 상의 제1 실리콘층(104)을 제거하여 이웃하는 메모리 셀의 플로팅 게이트들을 서로 절연시킨다.
- <38> 상기 제1 실리콘층(104) 및 기판(100) 상에 층간 절연막으로서, 제1 산화막, 질화막 및 제2 산화막이 순차적으로 적층되어 이루어진 ONO막(106)을 형성한다. 상기 ONO막(106)은 열산화 공정 또는 화학 기상 증착 공정으로 형성한다.
- <39> 상기 ONO막(106) 상에 컨트롤 게이트층으로서, 폴리실리콘 또는 비정질실리콘과 같은 제2 실리콘층(108)을 1000Å 정도의 두께로 형성한다. 바람직하게는, 상기 제2 실리콘층(108)은 실란(SiH_4)과 포스핀(PH_3) 가스를 사용하여 인-시튜 도핑되면서 비정질상의 박막으로 증착된다.

- <40> 도 2b를 참조하면, 상기 제2 실리콘층(108) 상에 텅스텐 실리사이드(WSix), 티타늄 실리사이드(TiSix), 탄탈륨 실리사이드(TaSix)와 같은 금속 실리사이드층(110)을 약 100 ~ 1500 Å의 두께로 형성한다.
- <41> 이어서, 상기 결과물 상에 질소(N₂)와 같은 불활성 가스(112) 분위기에서 열처리를 실시한다. 상기 열처리는 로(furnace) 열처리 또는 급속 열처리(RTA)로 실시한다. 로 열처리의 경우 약 600℃ ~ 950℃의 온도에서 30분 정도 진행하며, 급속 열처리는 약 800℃ ~ 1100℃의 온도에서 진행하는 것이 바람직하다.
- <42> 상기 열처리에 의해 인-시튜 도프트 제2 실리콘층(108)이 결정상으로 상 변환된다. 따라서, 상 변환이 이루어진 제2 실리콘층(108)에 대해 후속의 게이트 산화공정을 실시하기 때문에, 제2 실리콘층(108)과 ONO막(106) 간의 계면에서 버즈비크의 형성이 억제되어 ONO막의 두께 편차가 감소된다.
- <43> 한편, 인-시튜 도프트 제2 실리콘층(108)에 대한 열처리를 먼저 실시하고 디클로로 실란(DCS; SiH₂Cl₂) 가스를 사용하여 텅스텐 실리사이드(WSix)층을 증착할 경우, 텅스텐 실리사이드층이 증착되는 동안 그 하부의 열처리된 제2 실리콘층(108)이 이상 성장되는 문제가 발생할 수 있다. 따라서, 이러한 문제를 방지하기 위하여 텅스텐 실리사이드와 같은 금속 실리사이드층(110)을 증착한 후 열처리를 실시하는 것이 바람직하다. 또한, 이와 같이 금속 실리사이드층(110)의 증착 후 열처리를 실시하면, 도 6에 도시한 바와 같이 금속 실리사이드층(110)의 그레인이 성장되어 결정화됨으로써 비저항을 감소시킬 수 있다. 즉, 비저항 R_s 는

$$<44> \quad R_s \propto \frac{\text{그레인 경계수}}{\text{그레인 사이즈}}$$

- <45> 의 관계를 만족하기 때문에, 금속 실리사이드층(110)의 증착 후에 열처리를 실시하면 금속 실리사이드층(110)의 비저항을 감소시킬 수 있다.
- <46> 도 6에서, ●는 DCS 텅스텐 실리사이드 박막을 1500Å의 두께로 증착한 후 열처리를 실시하지 않은 경우 텅스텐 실리사이드 박막의 비저항을 나타내고, □는 DCS 텅스텐 실리사이드 박막을 1500Å의 두께로 증착한 후 850℃의 온도에서 30분 동안 열처리를 실시한 경우 텅스텐 실리사이드 박막의 비저항을 나타낸다.
- <47> 도 2c를 참조하면, 사진식각 공정으로 상기 금속 실리사이드층(110), 제2 실리콘층(108), ONO막(106) 및 제1 실리콘층(104)을 차례로 건식 식각한다. 그러면, 제1 실리콘층 패턴으로 이루어진 플로팅 게이트(104a)와, 제2 실리콘층 패턴(108a) 및 금속 실리사이드층 패턴(110a)으로 이루어진 컨트롤 게이트(115)를 구비하는 적층형 게이트들이 형성된다.
- <48> 여기서, 상기 사진식각 공정을 수행하기에 앞서, 상기 금속 실리사이드층(108) 상에 실리콘 질화물(SiN) 또는 실리콘 옥시나이트라이드(SiON)로 이루어진 반사 방지막(도시하지 않음)을 형성할 수 있다.
- <49> 이와 같이 게이트 패터닝을 완료한 후, 이전 단계의 식각 공정으로 인해 야기된 ONO막(106)의 측벽 손상 및 플로팅 게이트(104a) 에지 하부에서의 기판 손상을 큐어링하기 위하여 게이트 산화공정을 실시한다. 그러면, 기판(100)의 표면, 상기 플로팅 게이트(104a)의 측면 및 상기 컨트롤 게이트(115)의 측면이 산화되어 얇은 산화막(도시하지 않음)이 형성된다. 이때, 상기 컨트롤 게이트(115)의 제2 실리콘층 패턴(108a)에서 상 변환이 일어나지 않기 때문에 버즈비크에 의한 ONO막(106)의 두께 편차가 감소된다.

<50> 다음의 표 2는 언도프트 폴리실리콘을 증착하고 POCl_3 도핑하여 컨트롤 게이트를 형성하는 종래 방법 (1) 및 인-시튜 도프트 폴리실리콘을 증착하고 열처리를 실시하여 컨트롤 게이트를 형성하는 본 발명에 의한 ONO막의 두께 편차를 비교하여 나타낸 것이다

<51> 【표 2】

	상부 두께	중간 두께	하부 두께	편차
종래 방법 (1)	78 Å	48 Å	64 Å	30 Å
본 발명	68 Å	68 Å	62 Å	6 Å

<52> 상기 [표 2]로부터 알 수 있듯이, 언도프트 폴리실리콘 증착 및 POCl_3 도핑으로 컨트롤 게이트를 형성하는 종래 방법 (1)에 의하면, 컨트롤 게이트 폴리실리콘막과 ONO막 간의 계면에서 버즈비크가 심화되어 ONO막의 두께 편차가 30 Å 정도로 크게 나타났다. 이에 반하여, 인-시튜 도프트 폴리실리콘 증착 및 열처리에 의해 컨트롤 게이트를 형성하는 본 발명에 의하면, 후속의 게이트 산화공정시 컨트롤 게이트 폴리실리콘막의 상 변환이 일어나지 않아 버즈비크의 형성이 억제되어 ONO막의 두께 편차가 6 Å 정도로 크게 감소된다.

<53> 도 3은 컨트롤 게이트의 형성 방법들에 따른 캐패시턴스 값을 비교하여 나타낸 그래프이다. 여기서, 수평 축은 컨트롤 게이트에 인가되는 전압(V_{CG})을 나타내고, 수직 축은 캐패시턴스(C)를 나타낸다. 상기 그래프에서, a는 언도프트 폴리실리콘을 증착하고 POCl_3 도핑하는 종래 방법 (1)을 나타내고, b는 인-시튜 도프트 폴리실리콘을 증착하는 종래 방법 (2)을 나타내며, c는 인-시튜 도프트 폴리실리콘을 증착하고 열처리를 실시하는 본 발명을 나타낸다.

- <54> 도 3을 참조하면, 폴리실리콘막의 모폴로지 측면에서 $1E19 \sim 1E20/cm^2$ 의 저농도로 $POCl_3$ 도핑을 실시하는 종래 방법 (1)의 경우, 컨트롤 게이트 폴리실리콘막의 공핍층이 가장 크게 나타났다. 이에 반하여, 포스핀(PH_3) 가스의 도핑 레벨을 쉽게 조절할 수 있는 인-시튜 도프트 폴리실리콘막을 증착하는 종래 방법 (2) 및 본 발명에 의하면, 컨트롤 게이트 폴리실리콘막의 공핍층이 억제되어 프로그램 속도를 증가시킬 수 있음을 알 수 있다.
- <55> 도 4a 및 도 4b는 종래 방법 (1) 및 본 발명에 의해 각각 제조된 불휘발성 메모리 장치의 베이크 보존 특성을 나타낸 그래프들로서, 프로그램/소거 동작을 10000번 반복했을 때 프로그램 문턱전압(V_{th})의 산포를 도시한다. 여기서, 수평 축은 프로그램 문턱전압(V_{th})을 나타내고, 수직 축은 불량 비트 수를 나타낸다. 상기 그래프들에서, ◆는 프로그램/소거 동작을 1회 실시한 경우를 나타내고, ■는 프로그램/소거 동작을 10K의 사이클로 반복한 경우를 나타내며, ▲는 베이크 후를 나타낸다.
- <56> 도 4a 및 도 4b를 참조하면, 종래 방법 (1)의 프로그램 V_{th} 산포는 약 1.5V(d1)이고, 본 발명의 프로그램 V_{th} 산포는 약 1V(d3)로 나타났다. 따라서, 본 발명의 컨트롤 게이트 형성방법에 의하면, 후속의 게이트 산화공정시 컨트롤 게이트 폴리실리콘막의 상변환이 일어나지 않아 버즈비크에 의한 ONO막의 두께 편차가 감소됨으로써, 베이크 보존 특성이 개선됨을 알 수 있다.
- <57> 도 5a 및 도 5b는 종래 방법 (1) 및 본 발명에 의해 각각 제조된 불휘발성 메모리 장치의 내구성 특성을 나타낸 그래프들로서, 프로그램/소거 동작 사이클을 100000번 반복했을 때의 프로그램 문턱전압(V_{th}) 산포를 도시한다. 여기서, 수평 축은 프로그램 문턱전압(V_{th})을 나타내고, 수직 축은 불량 비트 수를 나타낸다. 상기 그래프들에서, ◆는

프로그램/소거 동작을 1회 실시한 경우를 나타내고, ■는 프로그램/소거 동작을 100K의 사이클로 반복한 경우를 나타내며, ▲는 베이크 후를 나타낸다.

<58> 도 5a 및 도 5b를 참조하면, 종래 방법 (1)의 프로그램 V_{th} 산포는 약 2V(d2)로 10K의 프로그램/소거 사이클에 비해 0.5V 정도 증가하였다. 이에 반하여, 본 발명의 프로그램 V_{th} 산포는 약 1V(d4)로 10K의 프로그램/소거 사이클과 거의 비슷하게 나타났다. 따라서, 본 발명의 컨트롤 게이트 형성방법에 의하면, 후속의 게이트 산화공정시 컨트롤 게이트 폴리실리콘막의 상 변환이 일어나지 않아 ONO막의 신뢰성이 향상되어 내구성이 개선됨을 알 수 있다.

【발명의 효과】

<59> 상술한 바와 같이 본 발명에 의하면, 인-시튜 도프트 실리콘막을 증착한 후 열처리를 실시하여 컨트롤 게이트층을 형성한다. 따라서, 도핑 레벨을 쉽게 조절하여 실리콘막의 공핍층을 억제함으로써 프로그램 속도를 증가시킬 수 있다.

<60> 또한, 초기에 비정질상으로 증착되는 인-시튜 도프트 실리콘막을 열처리에 의해 결정상으로 상 변환시킨 후 게이트 패터닝 및 게이트 산화공정을 진행하기 때문에, 게이트 산화공정시 실리콘막의 상 변환이 일어나지 않아 ONO막의 두께 편차가 감소된다. 따라서, ONO막의 신뢰성을 향상시키고 내구성 및 베이크 보존 특성을 개선할 수 있다.

<61> 상술한 바와 같이, 본 발명의 바람직한 실시예를 참조하여 설명하였지만 해당 기술 분야의 숙련된 당업자라면 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

【특허청구범위】**【청구항 1】**

반도체 기판 상에 터널 산화막을 형성하는 단계;

상기 터널 산화막 상에 플로팅 게이트층을 형성하는 단계;

상기 플로팅 게이트층 상에 층간 절연막을 형성하는 단계;

상기 층간 절연막 상에 인-시튜 도프트 실리콘으로 이루어진 컨트롤 게이트층을 형성하는 단계;

상기 컨트롤 게이트층을 열처리하는 단계; 및

사진식각 공정으로 상기 컨트롤 게이트층, 층간 절연막 및 플로팅 게이트층을 패터닝하는 단계를 구비하는 것을 특징으로 하는 불휘발성 메모리 장치의 게이트 형성방법.

【청구항 2】

제1항에 있어서, 상기 플로팅 게이트층은 폴리실리콘 또는 비정질실리콘으로 형성하는 것을 특징으로 하는 불휘발성 메모리 장치의 게이트 형성방법.

【청구항 3】

제1항에 있어서, 상기 층간 절연막은 ONO막으로 형성하는 것을 특징으로 하는 불휘발성 메모리 장치의 게이트 형성방법.

【청구항 4】

제1항에 있어서, 상기 컨트롤 게이트층은 폴리실리콘 또는 비정질실리콘으로 형성하는 것을 특징으로 하는 불휘발성 메모리 장치의 게이트 형성방법.

【청구항 5】

제1항에 있어서, 상기 열처리는 로(furnace) 열처리 또는 급속 열처리(RTA) 중의 어느 하나인 것을 특징으로 하는 불휘발성 메모리 장치의 게이트 형성방법.

【청구항 6】

제5항에 있어서, 상기 로 열처리는 600℃~950℃에서 진행하는 것을 특징으로 하는 불휘발성 메모리 장치의 게이트 형성방법.

【청구항 7】

제5항에 있어서, 상기 급속 열처리는 800℃~1100℃에서 진행하는 것을 특징으로 하는 불휘발성 메모리 장치의 게이트 형성방법.

【청구항 8】

반도체 기판 상에 터널 산화막을 형성하는 단계;

상기 터널 산화막 상에 플로팅 게이트층으로 제1 실리콘층을 형성하는 단계;

상기 제1 폴리실리콘층 상에 층간 절연막을 형성하는 단계;

상기 ONO막 상에 컨트롤 게이트층으로 인-시튜 도프트 제2 실리콘층을 형성하는 단계;

상기 제2 실리콘층 상에 금속 실리사이드층을 형성하는 단계;

상기 결과물 상에 열처리를 실시하는 단계; 및

사진식각 공정으로 상기 금속 실리사이드층, 제2 실리콘층, 층간 절연막 및 제1 실리콘층을 패터닝하는 단계를 구비하는 것을 특징으로 하는 불휘발성 메모리 장치의 게이트 형성방법.

【청구항 9】

제8항에 있어서, 상기 제1 실리콘층은 폴리실리콘 또는 비정질실리콘으로 형성하는 것을 특징으로 하는 불휘발성 메모리 장치의 게이트 형성방법.

【청구항 10】

제8항에 있어서, 상기 층간 절연막은 ONO막으로 형성하는 것을 특징으로 하는 불휘발성 메모리 장치의 게이트 형성방법.

【청구항 11】

제8항에 있어서, 상기 제2 실리콘층은 폴리실리콘 또는 비정질실리콘으로 형성하는 것을 특징으로 하는 불휘발성 메모리 장치의 게이트 형성방법.

【청구항 12】

제8항에 있어서, 상기 열처리는 로(furnace) 열처리 또는 급속 열처리(RTA) 중의 어느 하나인 것을 특징으로 하는 불휘발성 메모리 장치의 게이트 형성방법.

【청구항 13】

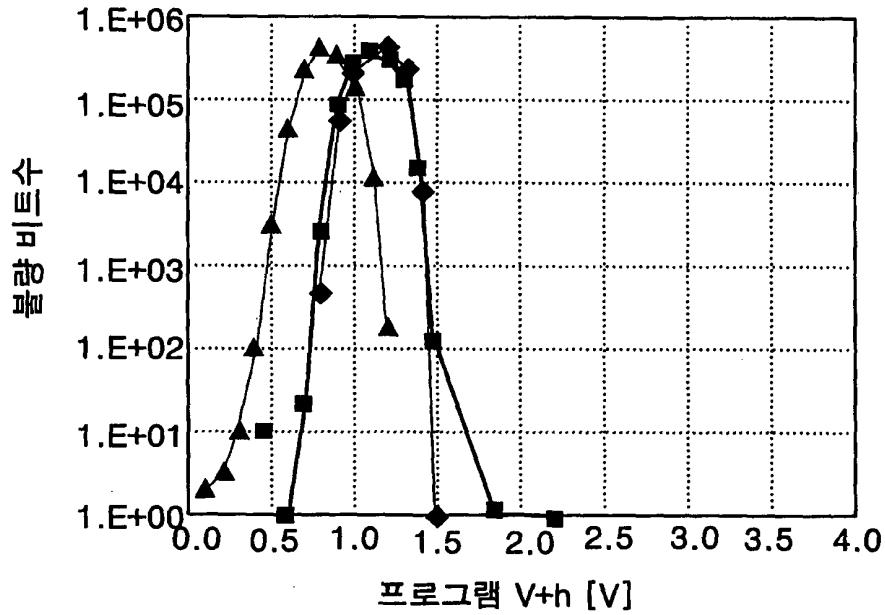
제12항에 있어서, 상기 로 열처리는 600℃~950℃에서 진행하는 것을 특징으로 하는 불휘발성 메모리 장치의 게이트 형성방법.

【청구항 14】

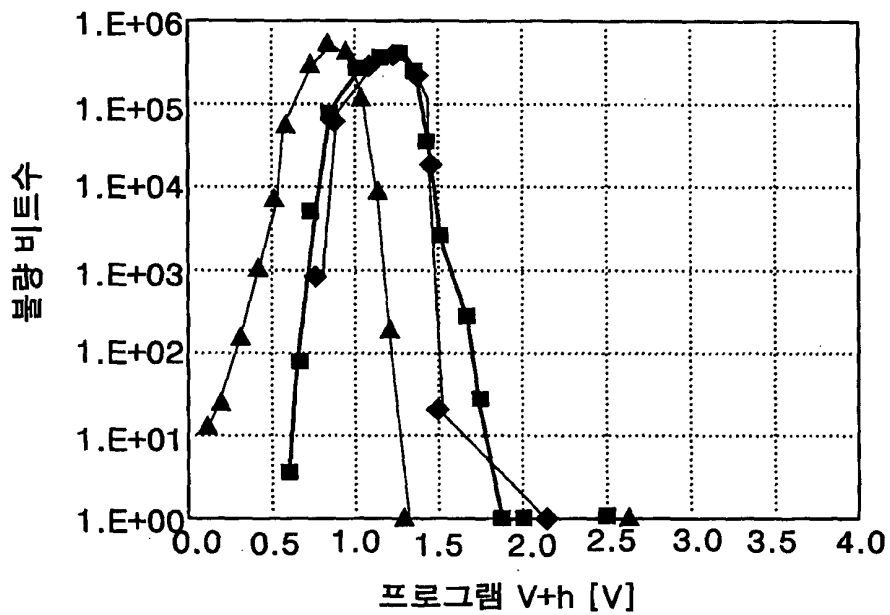
제12항에 있어서, 상기 급속 열처리는 800℃~1100℃에서 진행하는 것을 특징으로 하는 불휘발성 메모리 장치의 게이트 형성방법.

【도면】

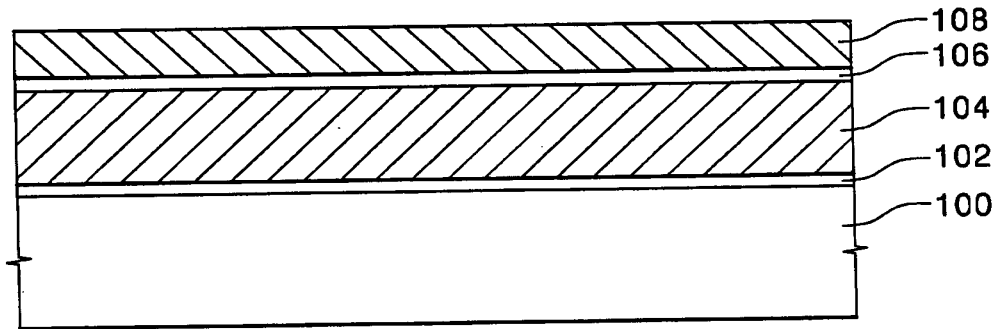
【도 1a】



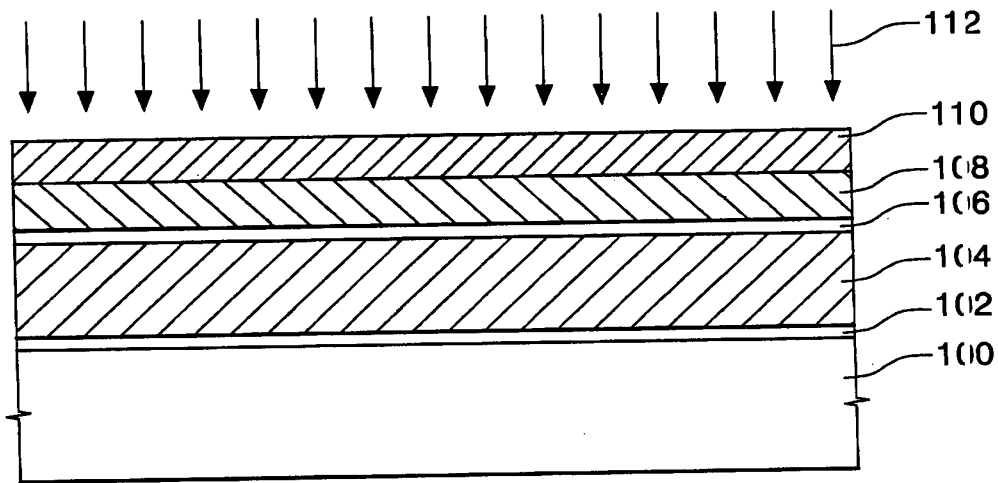
【도 1b】



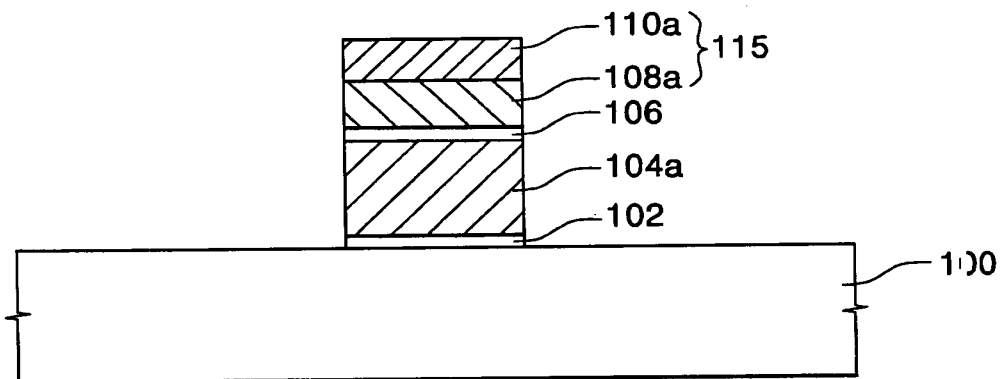
【도 2a】



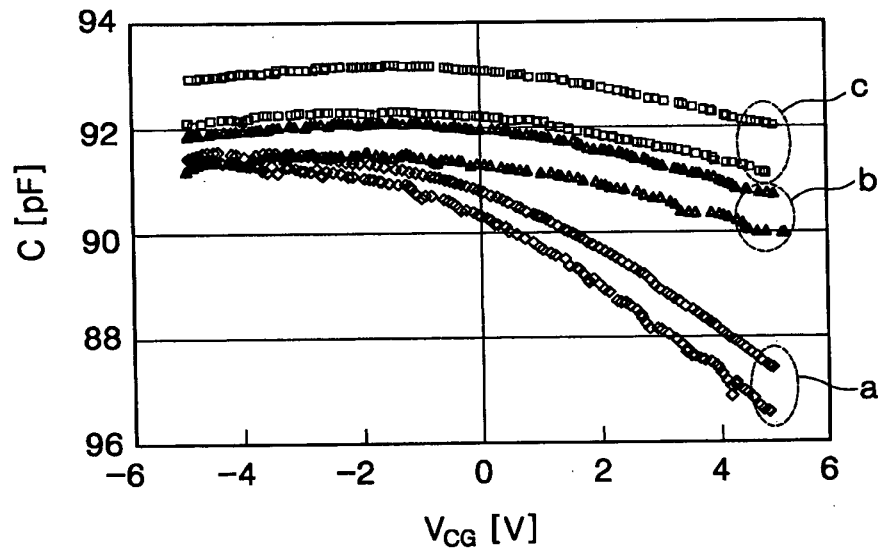
【도 2b】



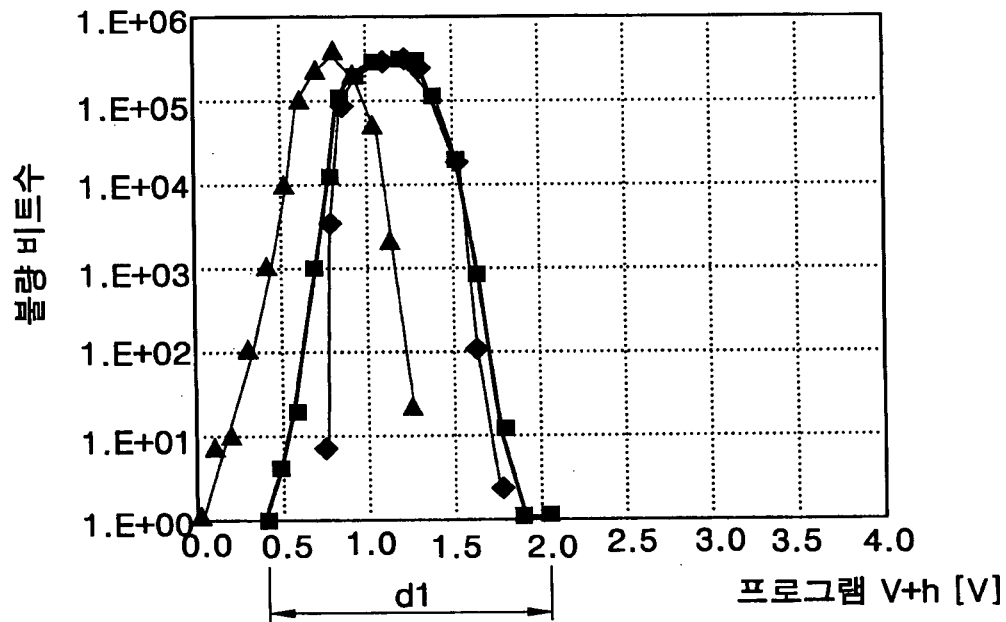
【도 2c】



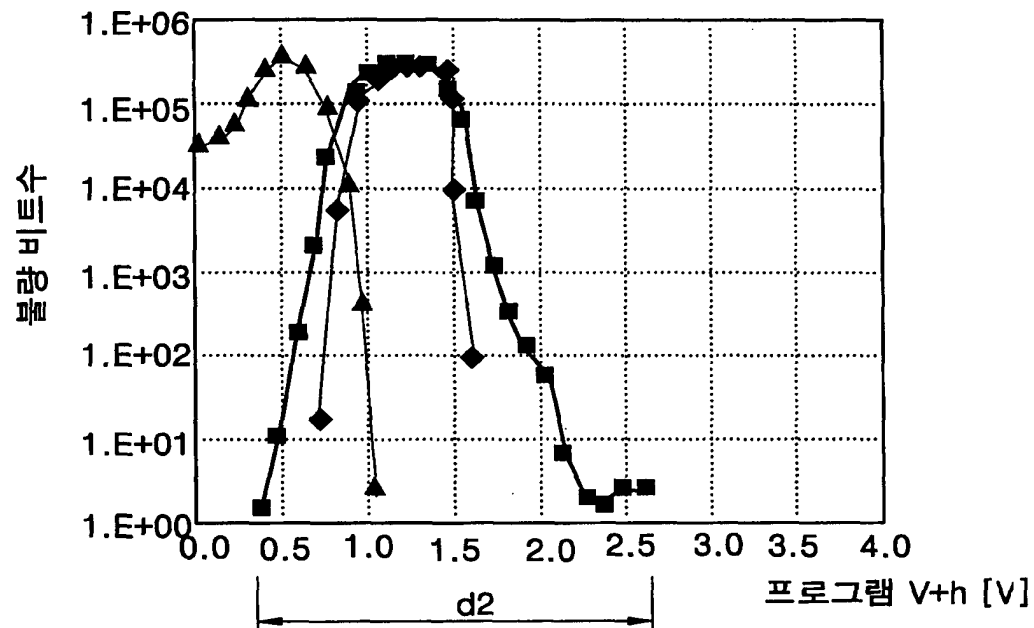
【도 3】



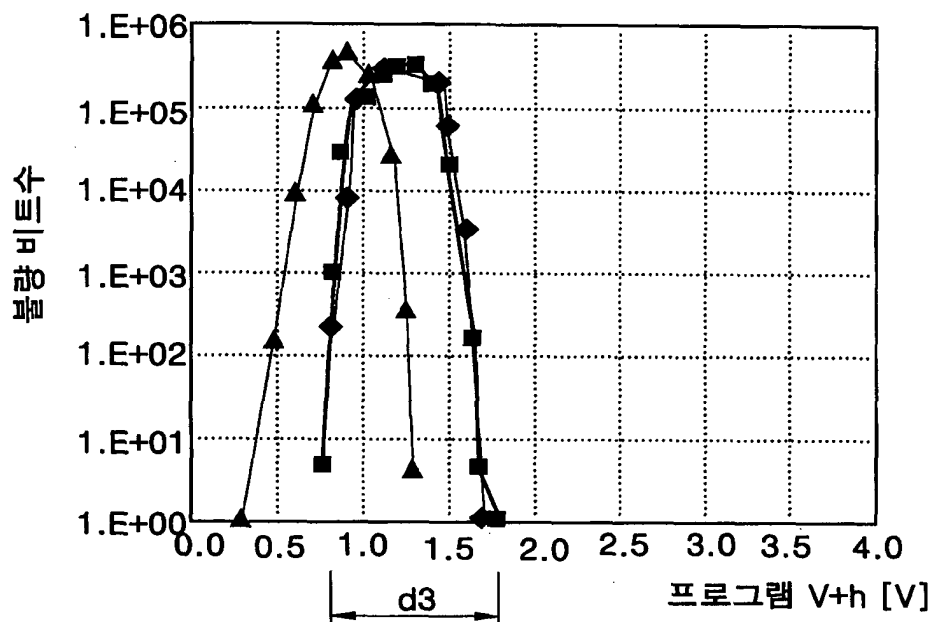
【도 4a】



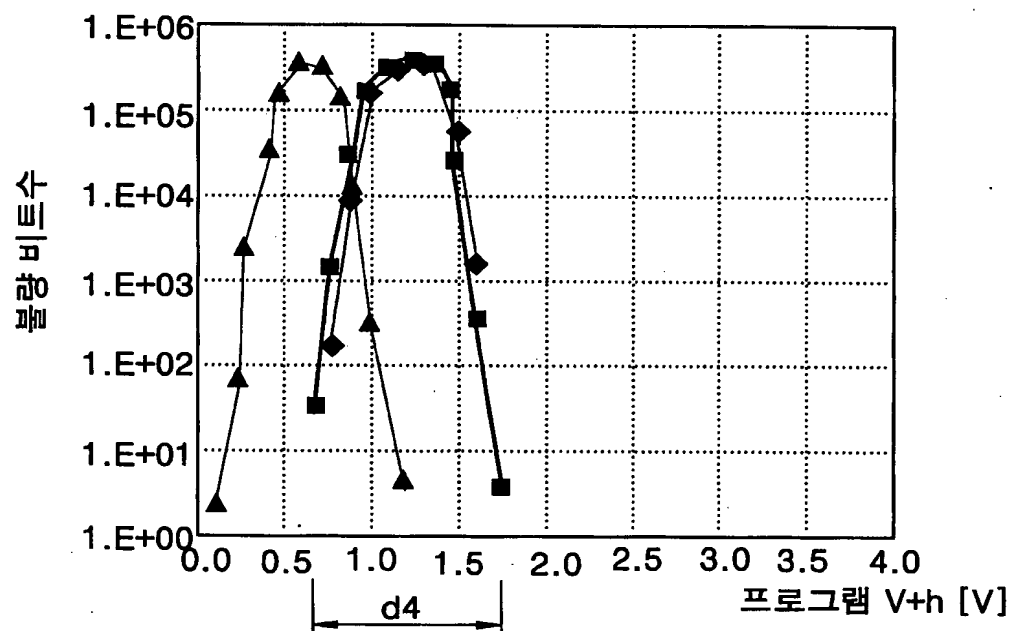
【도 4b】



【도 5a】



【도 5b】



【도 6】

